

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Problem Image Mailbox.**

04198853

MOUNTING STRUCTURE OF SEMICONDUCTOR COMPONENT AND MANUFACTURE OF ITS
SOLDER *BUMP*

PUB. NO.: 05-190553 [JP 5190553 A]

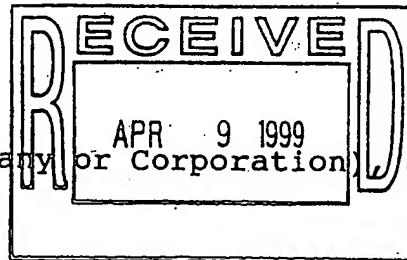
PUBLISHED: July 30, 1993 (19930730)

INVENTOR(s): AZUMAGUCHI YUTAKA
OTAGURO HIROYUKI
MATSUI AKIKO

APPLICANT(s): FUJITSU LTD [000522] (A Japanese Company or Corporation) JP
(Japan)

APPL. NO.: 04-001866 [JP 921866]

FILED: January 09, 1992 (19920109)



ABSTRACT

PURPOSE: To provide the mounting structure for a PGA type semiconductor component and a method of manufacturing *solder* *bumps* which are used at mounting, where an *aligning* operation is easily carried out in the mounting structure concerned and the *solder* *bumps* of composite structure are composed of *high* *melting* point *solder* *bumps* and *low* *melting* point, *solder* *bumps*.

CONSTITUTION: In a semiconductor device where a PGA type semiconductor element 5 is surface-mounted on a *circuit* *board* by reflow soldering, *high* *melting* point *solder* *bumps* 20 are formed on general pads 2-2 arranged on a *circuit* *board* 1 corresponding to the general pins 6-2 of the PGA type semiconductor element 5 and also on selected pads 2-1 arranged corresponding to selected pins 6-1 arranged on the periphery of the PGA type semiconductor element 5 and *low* *melting* point *solder* *bumps* 21 are formed on the tops of the *high* *melting* point *solder* *bumps* 20 arranged on the periphery of the PGA type semiconductor element 5.

(10)日本特許庁(J.P.)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-190553

(43)公開日 平成5年(1993)7月30日

(51)Int. Cl.⁴

識別記号

庁内整理番号

F. I

技術表示箇所

H 0 1 L 21/321
23/12

8188-4M

H 0 1 L 21/ 32

C

8188-4M

B

8617-4M

H 0 1 L 23/ 12

P

審査請求 未請求 請求項の数2(全 6 頁) 最終頁に続く

(21)出願番号 特願平4-1888

(22)出願日 平成4年(1992)1月9日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 東口 裕

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 太田 昭 浩幸

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72)発明者 松井 重紀子

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

(54)【発明の名称】 半導体部品の実装構造及びその半田バンプの製造方法

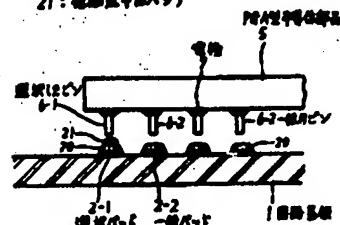
(57)【要約】

【目的】 PGA型半導体部品の実装構造及び実装時に用いる半田バンプの製造方法に関し、位置合わせ作業が容易な半導体部品の実装構造、及び高融点半田バンプと低融点半田バンプとよりなる複合構造の半田バンプの製造方法を提供することを目的とする。

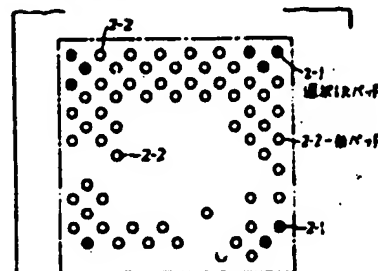
【構成】 PGA型半導体部品をリフロー半田付けして回路基板に表面実装する装置において、回路基板1に配列した、PGA型半導体部品5の一般ピン6-2に対応する一般パッド2-2上に、高融点半田バンプ20が形成され、回路基板1に配列したPGA型半導体部品5の外周部の選択したピン6-1に対応する選択したパッド2-1上に、高融点半田バンプ20が形成され、さらに高融点半田バンプ20の上部に低融点半田バンプ21が重畳して形成されてなる構成とする。

本発明の実施例の図

(A)

20: 高融点半田バンプ
21: 低融点半田バンプ

(B)



【特許請求の範囲】

【請求項1】 PGA型半導体部品をリフロー半田付けして回路基板に表面実装する装置において、

該回路基板(1)に配列した、該PGA型半導体部品(5)の一般ピン(6-2)に対応する一般パッド(2-2)上に、高融点半田バンプ(20)が形成され、

該回路基板(1)に配列した、該PGA型半導体部品(5)の外周部の選択したピン(6-1)に対応する選択したパッド(2-1)上に、高融点半田バンプ(20)が形成され、さらに該高融点半田バンプ(20)の上部に低融点半田バンプ(21)が重畳して形成されてなることを特徴とする半導体部品の実装構造。

【請求項2】 回路基板(1)の表面に、選択したパッド(2-1)及び一般パッド(2-2)の上部に意を有する、耐熱性樹脂よりなる第1のレジスト膜(31)を設けた後に、該選択したパッド(2-1)及び該一般パッド(2-2)の表面に高融点クリーム状半田(25)を塗布し、該高融点クリーム状半田(25)を所定の温度に加熱して、それぞれの該選択したパッド(2-1)、一般パッド(2-2)上にそれぞれ半田を析出させて、高融点半田バンプ(20)を設け、次に、該選択したパッド(2-1)の高融点半田バンプ(20)の上部に意を有する、耐熱性樹脂よりなる第2のレジスト膜(32)を該回路基板(1)上に設け、

その後、該選択したパッド(2-1)の高融点半田バンプ(20)の表面に、低融点クリーム状半田(26)を塗布し、該低融点クリーム状半田(26)を所定の温度に加熱して、それぞれの該選択したパッド(2-1)の高融点半田バンプ(20)上に半田を析出させて、低融点半田バンプ(21)を重畳形成し、

次に該第2のレジスト膜(32)及び該第1のレジスト膜(31)を除去することを特徴とする半田バンプの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体部品特に、PGA(Pin Grid Array Package)型半導体部品の実装構造、及び実装時に用いる半田バンプの製造方法に関する。

【0002】半導体部品の多ピン化に伴い、近年はパッケージの下面に多数(約500ピン)のピンを近接(ピンピッチは約0.3mm)してマトリックス状に植立したPGA型半導体部品が提供されている。

【0003】このようなPGA型半導体部品は、それぞれのピンをリフロー半田付けして対応するパッドに接続し、回路基板に表面実装するのが一般である。この際、総てのピンとパッドとの位置ずれの検査を実施することは非能率的であるので、電源ピン、アースピン、或いは信号ピンのなかから特定の数ピンを選択して、光学的手段或いは電気的特性測定手段により、ピンとパッドとの位置ずれの検査を実施している。

【0004】

【従来の技術】図4は従来例の図であって、(a)は表面実装後の断面図、(b)は実装前の要所断面図である。

【0005】図4において、5は、パッケージの下面に千鳥の格子状に電極7を設け、それぞれの電極7にピン6を銀ろう付けすることで植立配設したPGA型半導体部品である。

【0006】このようなPGA型半導体部品5は、それぞれのピン6に対応するパッド2にリフロー半田付け(半田8)することで、回路基板1に表面実装される。ところで、0.9mmピッチ等の粗ピッチで配列したパッド2上に、スクリーン印刷法等でリフロー用の半田層を設けることは、パッド2に塗布形成するクリーム状半田の寸法のばらつき、及びクリーム状半田のパッド上からの流出等に起因して、近接したパッド間に絶縁不良が発生する恐れがある。

【0007】したがって、従来は図4の(b)に図示したように、それぞれのパッド2上に半田バンプ10を設け、この半田バンプ10を加熱しリフロー半田付けすることで、PGA型半導体部品5を回路基板1に実装している。

【0008】

【発明が解決しようとする課題】ところで、リフロー半田付けして回路基板に表面実装したPGA型半導体部品は、前述のようにピンとパッドとの位置ずれ検査を行う。この際位置ずれ不良が検出されると、PGA型半導体部品の周囲から熱風をパッケージの下部に吹き込んで、パッドとピンとを接続している半田を加熱しリフロー状態にし、PGA型半導体部品の位置を調整して、ピンとパッドとの位置合わせを再度実施し、その後溶融状態の半田を硬化させて、PGA型半導体部品を再実装している。

【0009】しかしながら、PGA型半導体部品のパッケージと回路基板との狭い間隙に熱風を吹き込むことが困難であるので、パッケージの中心部に配列したピンを半田付けしている半田は溶け難い。このためにPGA型半導体部品の位置を正しい方向にずらすことが困難で、満足するような位置合わせを実施することができないという問題点があった。

【0010】本発明はこのような点に鑑みて創作されたもので、位置合わせ作業が容易な半導体部品の実装構造を提供することにある。また他の目的は、高融点半田バンプと低融点半田バンプとよりなる複合構造の半田バンプの製造方法を提供することにある。

【0011】

【課題を解決するための手段】上記の目的を達成するために本発明は図1に例示したように、PGA型半導体部品をリフロー半田付けして回路基板に表面実装する装置において、回路基板1に配列した、PGA型半導体部品5の一般ピン6-2を半田付けする一般パッド2-2上に、高融点半田バンプ20を形成し、回路基板1に配列し

た、PGA型半導体部品5の外周部の選択したピン6-1を半田付けする選択したパッド2-1上には、高融点半田バンプ20を形成し、さらにこの高融点半田バンプ20の上部に低融点半田バンプ21を重畳して形成した構成とする。

【0012】またその製造方法は、図3に図示したように、回路基板1の表面に、選択したパッド2-1及び一般パッド2-2の上部に意を有する、耐熱性樹脂よりなる第1のレジスト膜31を設けた後に、選択したパッド2-1及び一般パッド2-2の表面に高融点クリーム状半田25を塗布し、高融点クリーム状半田25を所定の温度に加熱して、それぞれの選択したパッド2-1、一般パッド2-2上にそれぞれ半田を析出して、高融点半田バンプ20を設ける。

【0013】次に、選択したパッド2-1の高融点半田バンプ20の上部に意を有する、耐熱性樹脂よりなる第2のレジスト膜32を回路基板1上に設け、選択したパッド2-1の高融点半田バンプ20の表面に、低融点クリーム状半田26を塗布し、低融点クリーム状半田26を所定の温度に加熱して、それぞれの選択したパッド2-1の高融点半田バンプ20上に半田を析出して、低融点半田バンプ21を重畳形成する。

【0014】その後、第2のレジスト膜32及び第1のレジスト膜31をエッチングして除去するものとする。

【0015】

【作用】本発明は、図2の(4)に図示したように、低融点半田バンプ21の融融温度に加熱して、低融点半田バンプ21のみをリフローさせて、選択したピン6-1と選択したパッド2-1のみを低融点半田21Aでリフロー半田付けした、PGA型半導体部品5を回路基板1に仮実装する。そしてこの選択したピン6-1と選択したパッド2-1との位置ずれの検査を実施する。

【0016】この際位置ずれ不良が検出された場合に、熱風でこの低融点半田21Aを溶かすのであるが、この選択したピン6-1は、PGA型半導体部品5の外周部に配列したものであるから、容易にリフロー状態にすることができる。

【0017】そして、位置ずれ調整が終了すると、高融点半田バンプ20の融融温度まで加熱して、高融点半田バンプ20をリフローさせて、図2の(5)に図示したように、総ての選択したパッド2-1と選択したピン6-1、及び他の一般パッド2-2と一般ピン6-2とを高融点半田20Aでリフロー半田付けするものとする。このようにすることで、簡単に位置合わせ作業が行われる。

【0018】また、前述の半田バンプの製造方法によれば、選択したパッドの高融点半田バンプ上に、低融点半田バンプを重畳することができ、他の一般パッドには高融点半田バンプのみを形成することができる。

【0019】

【実施例】以下図1乃至図3を参照しながら、本発明を

具体的に説明する。なお、全図を通じて同一符号は同一対象物を示す。

【0020】図1は本発明の実施例の図で、(A)は要所断面図、(B)は回路基板の平面図、図2の(A)、(B)は本発明の作用を説明する図、図3は本発明の製造工程を示す断面図である。

【0021】図1の(A)に図示したように、PGA型半導体部品5は、パッケージの下面に千鳥の格子状に電極7を設け、それぞれの電極7にピンを銀ろう付けして植立配設している。

【0022】この配列したピンのうち、外周部に配列した電源ピン、アースピン、或いは信号ピンのなかから特定の数ピンを選んで選択したピン6-1として、光学的手段或いは電気的特性測定手段により、この選択したピン6-1と対応するパッドとの位置ずれの検査を実施し、これらの選択したピン6-1が位置ずれしていない場合は、他の一般ピン6-2も位置合わせがされていると、判定している。

【0023】一方、回路基板1の表面に千鳥の格子状に配列したパッドのうち、この選択したピン6-1をリフロー半田付けするパッドは、図1の(B)に斜線で図示した選択したパッド2-1である。

【0024】そして、図1の(B)に図示したように、選択したパッド2-1及び他の一般パッド2-2上に、高融点半田バンプ（融点 270℃～280℃）20を形成している。また、選択したパッド2-1のみには、この高融点半田バンプ20の上部に、低融点半田バンプ（融点 230℃～240℃）21を形成している。

【0025】上述のように半田バンプを設けた回路基板1に、PGA型半導体部品5を実装するには、先ずそれぞれのピンを対応するパッドに位置合わせして、PGA型半導体部品5を回路基板1に載せ、低融点半田バンプ21の融融温度に回路基板1を加熱する。

【0026】このことにより選択したパッド2-1の低融点半田バンプ21がリフローして、図2の(4)に図示したように、選択したピン6-1と選択したパッド2-1とが、低融点半田21Aで半田付けされる。

【0027】そしてこの選択したピン6-1と選択したパッド2-1との位置ずれの検査を実施する。この際位置ずれ不良が検出された場合に、熱風でこの低融点半田21Aを溶かすのであるが、この選択したピン6-1は、PGA型半導体部品5の外周部に配列したものであるから、容易に加熱されリフロー状態となる。したがって、位置ずれの調整ができる。

【0028】次に、位置ずれ調整が終了すると、回路基板1を高融点半田バンプ20の融融温度まで加熱する。このことにより、図2の(5)に図示したように、高融点半田バンプ20がリフローして、総ての選択したパッド2-1と選択したピン6-1、及び他の一般パッド2-2と一般ピン6-2とが高融点半田20Aで半田付けされる。

【0029】以下、この二重構造の半田バンプの製造方法について述べる。図3の(a)に図示したように、回路基板1の表面にポリイミド樹脂等の耐熱性の樹脂を塗布し硬化させた後に、フォトリソグラフィ手段により、択したパッド2-1及び一般パッド2-2の上部に意を有する第1のレジスト膜31を、回路基板1の表面に被着形成する。

【0030】次に図3の(b)に図示したように、選択したパッド2-1、一般パッド2-2の上面を含む第1のレジスト膜31の表面の全面に、析出用の高融点クリーム状半田25を塗布する。

【0031】そして、高融点クリーム状半田25を所定の温度に（高融点半田の融点温度+10℃）に加熱し、半田析出反応を進行させる。そして、回路基板1を洗浄し未反応の高融点クリーム状半田25を除去して、図3の(c)に図示したように、選択したパッド2-1及び他の一般パッド2-2の表面に、断面がほぼ矩形形状の高融点半田バンプ20を設ける。

【0032】次に、高融点半田バンプ20上及び第1のレジスト膜31上に、ポリイミド樹脂等の耐熱性の樹脂を塗布し硬化させた後に、フォトリソグラフィ手段により、図3の(d)に図示したように、選択したパッド2-1の上部に即ち選択したパッド2-1の高融点半田バンプ20の上面が開口する意を備えた、第2のレジスト膜32を被着形成する。

【0033】そして、図3の(e)に図示したように、この選択したパッド2-1上の高融点半田バンプ20の上面を含む第2のレジスト膜32の表面の全面に、析出用の低融点クリーム状半田26を塗布し、低融点クリーム状半田26を所定の温度に（低融点半田の融点温度+10℃）に加熱し、半田析出反応を進行させて、選択したパッド2-1上に設けた高融点半田バンプ20の上部に、断面がほぼ矩形形状の低融点半田バンプ21を重畳して設ける。

【0034】そして、図3の(f)に図示したように、回路基板1を洗浄し未反応の低融点クリーム状半田26を除去し、その後エッチングして第2のレジスト膜32及び第1のレジスト膜31を除去する。

【0035】上述のようにすることで、一般パッド2-2上には高融点半田バンプ20のを設け、選択したパッド2-1上には高融点クリーム状半田25を、さらにこの高融点半田バンプ20の上部に低融点半田バンプ21を重畳して設けることができる。

【0036】

【発明の効果】以上説明したように本発明は、PGA型半導体部品の一般ピンをリフロー半田付けする回路基板

の一般パッドには、高融点半田バンプのみを設け、PGA型半導体部品の外周部の選択したピンをリフロー半田付けする回路基板の選択したパッドには、高融点半田バンプ上に低融点半田バンプを重畳した複合バンプを設けた、半導体部品の実装構造であって、PGA型半導体部品のピンと回路基板のパッドをリフロー半田付けした後の、位置合わせの調整作業が簡単で、且つ位置合わせ精度が高いという、実用上で優れた効果を備えている。

【0037】また、本発明の複合バンプの製造方法によれば、必要とする選択したパッドに形成した高融点半田バンプのみに、高融点半田バンプの全表面を覆うことなく、その上面に塔状に重畳して低融点半田バンプを設けることができる。

【0038】即ち、塔状に重畳した複合バンプであるので、得られるバンプの平面視形状をパッドの平面視形状よりも所望に小さくすることが容易である。したがって、半田バンプをリフロー半田付けしても、パッド上から流出する恐れがなくて、近接してパッド間の絶縁の信頼度が高い。

【図面の簡単な説明】

【図1】 本発明の実施例の図で、

(a)は要所断面図

(b)は回路基板の平面図

【図2】 (a)、(b)は本発明の作用を説明する図

【図3】 (a)、(b)、(c)、(d)、(e)、(f)は本発明の製造工程を示す断面図

【図4】 従来例の図で、

(a)は表面実装後の断面図

(b)は実装前の要所断面図

【符号の説明】

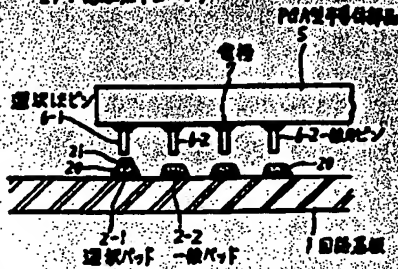
1	回路基板	2	パッド
2-1	選択したパッド	2-2	一般パッド
5	PGA型半導体部品	6	ピン
6-1	選択したピン	6-2	一般ピン
10	半田バンプ	20	高融点半田バンプ
20A	高融点半田	21	低融点半田
21A	低融点半田	25	高融点
26	低融点クリーム状半田	31	第1のレジスト膜
32	第2のレジスト膜		

【図1】

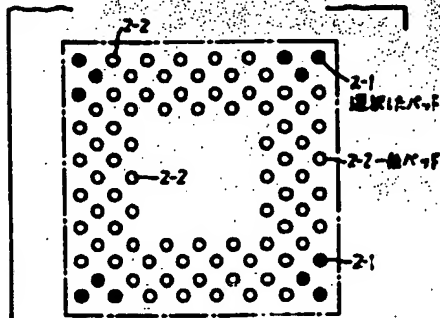
本発明の実施例の図

(A)

20: 基盤用平膜バンプ
21: 絶縁用平膜バンプ



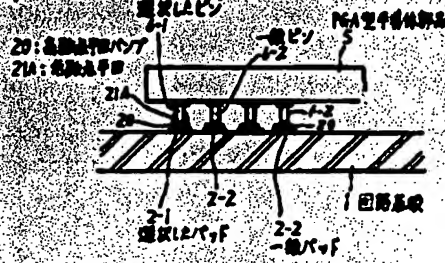
(B)



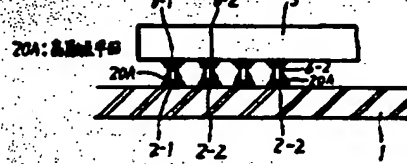
【図2】

本発明の作用を説明する図

(A)



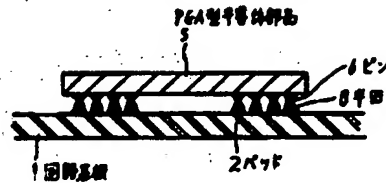
(B)



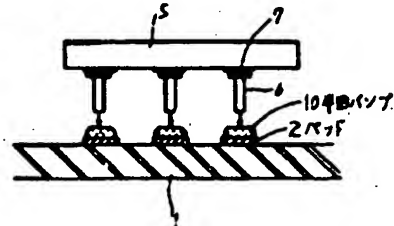
【図4】

従来例の図

(A)

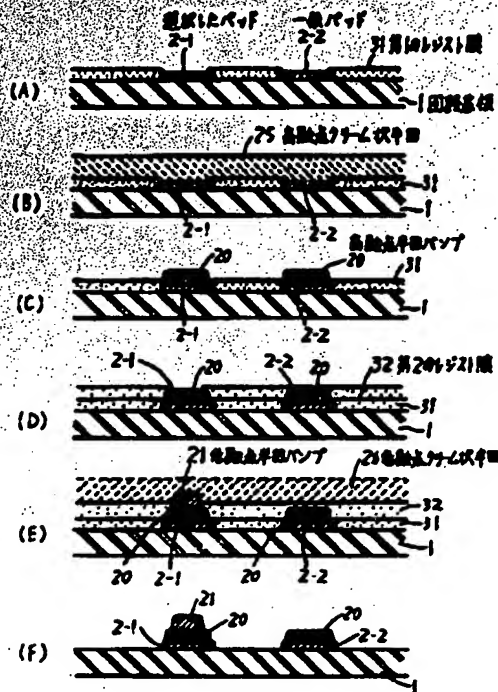


(B)



【図3】

水電明の製造工程に示す断面図



フロントページの続き

(51) Int. Cl. 1

識別記号

庁内整理番号

F I

技術表示箇所

8617-4M

Q